

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 5日

出 願 番 号

Application Number:

特願2001-060006

[ ST.10/C ]:

[ JP2001-060006 ]

出 願 人

Applicant(s):

松下電器産業株式会社

2002年 2月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3009105

【書類名】 特許願

【整理番号】 2923220012

【提出日】 平成13年 3月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 山口 琢己

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 菰刈 寛仁

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

    【識別番号】 100110939

    【弁理士】

    【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための読み出しトランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を二次元状に配列した固体撮像装置において、

前記複数の増幅型単位画素のドレイン領域は、1行毎に異なるドレイン線に接続されたことを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置において、

前記複数の増幅型単位画素のうちのある行を選択するための垂直シフトレジスタと、

前記垂直シフトレジスタのある段の出力を用いて生成した電源パルスで、対応する行のドレイン線に与えるためのロジック回路とを更に備えたことを特徴とする固体撮像装置。

【請求項 3】 請求項 1 又は 2 に記載の固体撮像装置において、

前記複数の増幅型単位画素のうち列方向に互いに隣接する 2 画素の信号電荷を混合すべく、1 水平ブランキング期間内に 2 行のドレイン線の電圧を HIGH レベル電圧に設定できるように構成されたことを特徴とする固体撮像装置。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像装置において、

前記光電変換領域から読み出された信号電荷が前記蓄積領域に蓄えられている期間と、前記蓄積領域の信号電荷をリセットする期間のうち少なくとも 1 回とは、前記ドレイン線の電圧を HIGH レベル電圧に設定するように構成されたことを特徴とする固体撮像装置。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 項に記載の固体撮像装置において

前記光電変換領域で得られた不要電荷を捨てるべく、前記光電変換領域から読み出された不要電荷が前記蓄積領域に蓄えられている期間と、前記蓄積領域の不要電荷をリセットする期間とは、前記ドレイン線の電圧を HIGH レベル電圧に設定するように構成されたことを特徴とする固体撮像装置。

【請求項 6】 請求項 1 ～ 4 のいずれか 1 項に記載の固体撮像装置において

前記光電変換領域で得られた不要電荷を捨てるべく、前記光電変換領域から前記蓄積領域へ読み出された不要電荷を直ちにリセットする期間に、前記ドレイン線の電圧を HIGH レベル電圧に設定するように構成されたことを特徴とする固体撮像装置。

【請求項 7】 請求項 1 ～ 6 のいずれか 1 項に記載の固体撮像装置において

前記複数の増幅型単位画素の検出トランジスタは、1 列毎に異なる信号線に接続され、かつ、

前記ドレイン線と前記信号線とは、互いに異なる層で交差するように配線されたことを特徴とする固体撮像装置。

【請求項 8】 請求項 1 ～ 7 のいずれか 1 項に記載の固体撮像装置において

前記ドレイン線は、前記各トランジスタのゲートと同一の配線層で形成されていることを特徴とする固体撮像装置。

【請求項 9】 請求項 1 ～ 8 のいずれか 1 項に記載の固体撮像装置において

前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線は、第 1 層目の遮光性金属からなることを特徴とする固体撮像装置。

【請求項 10】 請求項 7 ～ 9 のいずれか 1 項に記載の固体撮像装置において、

前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線と、前記ドレイン

線とは、第1層目金属からなり、かつ、

前記信号線は、前記第1層目金属より上層の第2層目金属からなることを特徴とする固体撮像装置。

【請求項11】 請求項7～9のいずれか1項に記載の固体撮像装置において、

前記蓄積領域と前記検出トランジスタのゲートとを結ぶ配線と、前記信号線とは、第1層目金属からなり、かつ、

前記ドレイン線は、前記第1層目金属より上層の第2層目金属からなることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルカメラ等に使用されるMOS型の固体撮像装置に関するものである。

【0002】

【従来の技術】

図14は、MOSトランジスタで構成された従来の固体撮像装置の一例を示している。この固体撮像装置は、半導体基板上に、各々フォトダイオード(PD)1と、読み出しトランジスタ2と、フローティングディフュージョン(FD)部と、リセットトランジスタ3と、検出トランジスタ4と、アドレストランジスタ5とを有する複数の増幅型単位画素を二次元状に配列した感光領域14を備えた固体撮像装置であって、更に信号線6、ドレイン線7、読み出しゲート線8、リセットゲート線9、アドレスゲート線10、画素行を選択する垂直シフトレジスタ12、画素列を選択する水平シフトレジスタ13、両シフトレジスタ12,13に必要なパルスを供給するタイミング発生回路11などにより構成されている。

【0003】

PD1で光電変換された信号電荷は、読み出しトランジスタ2によりFD部に読み出される。このFD部に読み出された電荷の量によりFD部の電位が決定さ

れ、検出トランジスタ4のゲート電圧が変化し、アドレストランジスタ5が選択されたことを条件として、信号線6に信号電圧が取り出される。

【0004】

【発明が解決しようとする課題】

図14の従来技術によれば、1行毎に信号線6に信号電圧が取り出されるにもかかわらず、二次元状に配列した複数の増幅型単位画素の全てに同時に、縦方向のドレイン線7を介して電源パルスが供給されるようになっていた。したがって、消費電力が大きいという課題があった。

【0005】

本発明の目的は、固体撮像装置における消費電力を削減することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明の固体撮像装置は、複数の増幅型単位画素のドレイン領域（リセットトランジスタを介してFD部へパルス電圧を供給するための領域）を1行毎に異なるドレイン線に接続することとしたものである。この構成により、1行毎に選択的に電源パルスを供給することができるので、消費電力が削減される。

【0007】

【発明の実施の形態】

以下、本発明の実施形態に係る固体撮像装置について説明する。

【0008】

図1は、本発明に係る固体撮像装置における増幅型単位画素の構成例を示している。図1において、1はフォトダイオード（PD）、2は読み出しトランジスタ、FDはフローティングディフュージョン部、3はリセットトランジスタ、4は検出トランジスタ、6は信号線、7はドレイン線（VDD）、15は増幅型単位画素、16は読み出しとリセットを兼ねたゲート線、17はFD部と検出トランジスタ4のゲートとを結ぶFD配線である。読み出しとリセットを兼ねたゲート線16は、Nを整数とすると、第N行の画素の読み出しトランジスタ2のゲートと、第（N+1）行の画素のリセットトランジスタ3のゲートとに接続され

ている。検出トランジスタ4は、1列毎に異なる信号線6に接続されている。また、横方向のドレイン線7には1行毎に異なるVDD電源パルスが与えられるようになっている。

## 【0009】

図1によれば、各単位画素15の構成は、縦方向の1配線（信号線6）と、横方向の2配線（ドレイン線7と、読み出しとリセットを兼ねたゲート線16）と、3トランジスタ（読み出しトランジスタ2、リセットトランジスタ3及び検出トランジスタ4）に削減される。

## 【0010】

図2は、垂直シフトレジスタ12のMOS型の構成例を示している。Vin、T1及びT2は、タイミング発生回路11から与えられるタイミングパルスである。シフトレジスタの各段にキャパシタ18が設けられており、Sig1、Sig2及びSig3はシフトレジスタ各段の出力である。

## 【0011】

図3は、図1の増幅型単位画素15を駆動するための駆動回路の構成例を示している。図3において、20は垂直シフトレジスタ12のN段目、21は垂直シフトレジスタ12の(N+1)段目、22は電荷読み出しパルス発生回路、23はリセットパルス発生回路、24はOR回路、25はVDD横配線電源回路である。電荷読み出しパルス発生回路22は、垂直シフトレジスタ12のN段目出力SigNと従来の読み出しパルスとのAND信号を発生するための回路である。リセットパルス発生回路23は、垂直シフトレジスタ12の(N+1)段目出力Sig(N+1)と従来のリセットパルスとのAND信号を発生するための回路である。OR回路24は、電荷読み出しパルス発生回路22の出力とリセットパルス発生回路23の出力とのOR信号をゲート線16へ供給するための回路である。VDD横配線電源回路25は、垂直シフトレジスタ12のN段目出力SigNと従来の電源パルスとのAND信号をドレイン線7へ供給するための回路である。

## 【0012】

図4は、図3の駆動回路の動作を説明するためのタイミングチャート図である



。また、図 5 (a) ~ 図 5 (g) は図 3 の駆動回路の動作を順次説明するための画素ポテンシャル図である。ここでも互いに隣接する 2 画素を第 1 及び第 2 の画素とすると、第 2 の画素のリセット時の第 1 の画素のドレイン線 7 の LOW レベル電圧は、第 1 の画素の PD 1 の電位深さよりも高いプラスの電圧に設定される。また、第 1 の画素のリセットトランジスタ 3 のゲートに LOW レベル電圧が与えられた場合の当該ゲート下のポテンシャルは、ドレイン線 7 の LOW レベル電圧よりも高い電圧に設定される。したがって、第 2 の画素のリセットの際に第 1 の画素の読み出しトランジスタ 2 にパルスが与えられても、例えば図 5 (e) に示すように第 1 の画素における PD 1 の不要電荷が効率良く捨てられる結果、FD 部から PD 1 への電荷の逆流が防止される。しかも、図 5 (c) 以外の状況で第 1 の画素の検出トランジスタ 4 のオフ状態を確保できるように、同画素の読み出しトランジスタ 2 のゲートに与えられる LOW レベル電圧は、同画素のリセットトランジスタ 3 のゲートに与えられる LOW レベル電圧よりも低い電位となるように設定されている。

#### 【 0 0 1 3 】

この場合、PD 1 から読み出された信号電荷が FD 部に蓄えられている期間と、この FD 部の信号電荷をリセットする期間のうち少なくとも 1 回とは、ドレイン線 7 の電圧を HIGH レベル電圧に設定する必要がある。電子シャッタ機能の実現のために PD 1 で得られた不要電荷を捨てる場合には、PD 1 から読み出された不要電荷が FD 部に蓄えられている期間と、この FD 部の不要電荷をリセットする期間とに、ドレイン線 7 の電圧を HIGH レベル電圧に設定すればよい。ただし、PD 1 から FD 部へ読み出された不要電荷を直ちにリセットする場合には、このリセット期間にドレイン線 7 の電圧を HIGH レベル電圧に設定すればよい。インターレース表示を実現するためには、列方向に互いに隣接する 2 画素の信号電荷を混合すべく、1 水平ブランキング期間内に 2 行のドレイン線 7 の電圧を HIGH レベル電圧に設定できるように構成する。

#### 【 0 0 1 4 】

なお、第 2 の画素のリセット時の第 1 の画素のドレイン線 7 の LOW レベル電圧を、第 1 の画素の PD 1 の電位深さよりも低いプラスの電圧に設定し、かつ、

第1の画素のリセットトランジスタ3のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャルを、ドレイン線7のLOWレベル電圧よりも高い電圧に設定するようにしてもよい。これにより、第2の画素のリセットの際に第1の画素の読み出しトランジスタ2にパルスが与えられると、残像対策のためのいわゆる「呼び水効果」を発揮することができる。

## 【0015】

図6は、図1の増幅型単位画素を駆動するための駆動回路の他の構成例を示している。図6において、30は第1の電源パルス発生回路、31は第2の電源パルス発生回路、32はVDD横配線電源OR回路である。第1の電源パルス発生回路30は、第1の期間において垂直シフトレジスタ12のN段目出力SigNと第1の電源パルスとのAND信号を発生するための回路である。第2の電源パルス発生回路31は、第1の期間に続く第2の期間において垂直シフトレジスタ12の(N+1)段目出力Sig(N+1)と第2の電源パルスとのAND信号を発生するための回路である。VDD横配線電源OR回路32は、第1の電源パルス発生回路30の出力と第2の電源パルス発生回路31の出力とのOR信号をドレイン線7へ供給するための回路である。ゲート線16を駆動するための回路構成は、図3の場合と同様である。

## 【0016】

図7は、図6の駆動回路の動作を説明するためのタイミングチャート図である。ここで、ドレイン線7のLOWレベル電圧がPD1へ逆流しないようにするために、図7中のタイミングt3及びt6において、電荷読み出しパルス発生回路22の出力とリセットパルス発生回路23の出力とのOR信号がLOWになった後にVDD電源パルスがLOWレベルになるようにしている。また、図8(a)～図8(g)は図6の駆動回路の動作を順次説明するための画素ポテンシャル図である。ここでも互いに隣接する2画素を第1及び第2の画素とすると、第2の画素のリセット時の第1の画素のドレイン線7の電圧はHIGHレベル電圧に、第2の画素の読み出し時の第1の画素のドレイン線7の電圧はゼロにそれぞれ設定される。また、第1の画素のリセットトランジスタ3のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャルは、第1の画素のPD1

の電位深さよりも高いプラスの電圧に設定される。したがって、第2の画素のリセットの際に第1の画素の読み出しトランジスタ2にパルスが与えられても、例えば図8(e)に示すように第1の画素におけるFD部からPD1への電荷の逆流が防止される。しかも、図8(f)に示すように第2の画素の読み出し時の第1の画素のドレイン線7の電圧がゼロであるので、第1の画素における検出トランジスタ4のオフ状態を確保でき、信号線6における出力信号の混合を防止できる。なお、リセットトランジスタ3をディプレッション型としてもよい。

## 【0017】

図9は、図3及び図6の駆動回路の具体的な構成例を示している。図9において、C1及びC2はキャパシタ、SW1及びSW2はスイッチ、Tr1及びTr2は逆流防止用トランジスタである。図9の構成は、C1、SW1及びTr1からなる第1のAND回路と、C2、SW2及びTr2からなる第2のAND回路と、該両AND回路の出力のワイヤードOR接続とにより構成されたダイナミッククロジック回路である。例えば、第1のAND回路が電荷読み出しパルス発生回路22に、第2のAND回路がリセットパルス発生回路23に、ワイヤードOR接続がOR回路24にそれぞれ対応する(図3参照)。この場合、第1のAND回路の2入力 $\phi A$ 及び $\phi T$ がそれぞれ垂直シフトレジスタ12のN段目出力SigNと従来の読み出しパルスとに相当し、第2のAND回路の2入力 $\phi X$ 及び $\phi R$ がそれぞれ垂直シフトレジスタ12の(N+1)段目出力Sig(N+1)と従来のリセットパルスとに相当する。第1のAND回路では、スイッチSW1がキャパシタC1の一端(+側)に第1のパルス信号 $\phi A$ を印加する。このキャパシタC1の他端(-側)には、第2のパルス信号 $\phi T$ が印加される。トランジスタTr1のゲートはキャパシタC1の一端(+側)に、ドレインは当該キャパシタC1の他端(-側)に、ソースはワイヤードOR接続点にそれぞれ結合されている。第2のAND回路も同様の構成を有する。 $\phi B$ 及び $\phi Y$ は、それぞれスイッチSW1及びSW2の開閉を制御するための信号である。

## 【0018】

図10は、図9の回路中の第1のAND回路の動作を説明するためのタイミングチャート図である。図10によれば、制御信号 $\phi B$ によりスイッチSW1が閉

じられた状態で、第1のパルス信号 $\phi A$ の立ち上がりエッジが到来する。これによりキャパシタC1が充電され、スイッチSW1が開いた後もキャパシタC1は充電電圧（図9に示した極性を有するHIGHレベル電圧）を保持する。この状態で第2のパルス信号 $\phi T$ が到来すると、この信号のHIGHレベル電圧がキャパシタC1の充電電圧に重畳される結果、トランジスタTr1がオンし、当該パルス信号 $\phi T$ がワイヤードOR接続点へ抜けていく。この後、第1のパルス信号 $\phi A$ の立ち下がり後にスイッチSW1が再び閉じられる結果、キャパシタC1が放電されて、元の状態に戻る。

## 【0019】

図9中の各AND回路によれば、出力側から入力側への電荷の逆流が防止される。したがって、図2に示した垂直シフトレジスタ12中のキャパシタ18が充電された状態でも、当該垂直シフトレジスタ12の動作に支障が生じることはない。ただし、図9の逆流防止機能を有するダイナミックロジック回路は、本実施形態に係る固体撮像装置に限らず広い応用範囲を有するものである。

## 【0020】

図11は、図1の増幅型単位画素15における配線レイアウト例を示している。信号線6とドレイン線7とは、光の洩れ込みを防止すべく、互いに異なる層で交差するように配線されている。具体的には、ドレイン線7とFD配線17とはゲート線16（不図示）より上層の第1層目金属からなり、信号線6はこれより上層の第2層目金属からなる。ここに、FD配線17は第1層目の遮光性金属であり、信号線6は第2層目の遮光性金属である。信号線6の上に更に遮光膜を設けてもよい。なお、ドレイン線7とゲート線16とを同一の配線層、例えばポリシリコン、ポリサイド、シリサイド等で構成すれば、半導体基板上に積み上げる層を薄くすることができるので、PD1の開口における集光率が改善される。

## 【0021】

図12は、図1の増幅型単位画素15における他の配線レイアウト例を示している。この例でも、光の洩れ込みを防止すべく、信号線6とドレイン線7とは互いに異なる層で交差するように配線されている。具体的には、信号線6とFD配線17とはゲート線16（不図示）より上層の第1層目金属からなり、ドレイン

線 7 はこれより上層の第 2 層目金属からなる。ここに、FD 配線 1 7 は第 1 層目の遮光性金属であり、ドレイン線 7 は第 2 層目の遮光性金属である。ドレイン線 7 の上に更に遮光膜を設けてもよい。

#### 【 0 0 2 2 】

図 1 3 は、本発明に係る他の固体撮像装置の構成例を示している。図 1 3 の例では、ポリシリコン／アルミ配線 4 0 の上に、VDD 共通配線（単一のドレイン層）4 1 が形成される。つまり、図 1 中の横方向のドレイン線 7 が更に削減されて、各単位画素のドレイン領域の全てが、遮光膜を兼ねる単一のドレイン層 4 1 に接続される。具体的に説明すると、信号線と FD 配線とはゲート線（不図示）より上層のポリシリコン／アルミ配線 4 0 からなり、ドレイン層 4 1 はこれより上層の第 2 層目金属からなる。ここに、FD 配線は第 1 層目の遮光性金属であり、ドレイン層 4 1 は第 2 層目の遮光性金属である。なお、ドレイン層 4 1 は、オプティカルブラック部のセル遮光膜をも兼ねるようにするのがよい。ただし、図 1 3 の構成は、読み出しとリセットを兼ねたゲート線を有しない固体撮像装置にも適用可能である。

#### 【 0 0 2 3 】

なお、上記実施形態はトランジスタが N 型 MOS の場合を示したが、トランジスタが P 型 MOS の場合や、CMOS の場合も同様な原理で動作させることで、同様な効果を実現できる。

#### 【 0 0 2 4 】

##### 【発明の効果】

以上説明してきたとおり、本発明によれば、固体撮像装置において 1 行毎に選択的に電源パルスを供給することができるので、消費電力が削減される。

##### 【図面の簡単な説明】

#### 【図 1】

本発明に係る固体撮像装置における増幅型単位画素の構成例を示す回路図である。

#### 【図 2】

垂直シフトレジスタの構成例を示す回路図である。

【図 3】

図 1 の増幅型単位画素を駆動するための駆動回路の構成例を示すブロック図である。

【図 4】

図 3 の駆動回路の動作を説明するためのタイミングチャート図である。

【図 5】

(a) ～ (g) は、図 3 の駆動回路の動作を順次説明するための画素ポテンシャル図である。

【図 6】

図 1 の増幅型単位画素を駆動するための駆動回路の他の構成例を示すブロック図である。

【図 7】

図 6 の駆動回路の動作を説明するためのタイミングチャート図である。

【図 8】

(a) ～ (g) は、図 6 の駆動回路の動作を順次説明するための画素ポテンシャル図である。

【図 9】

図 3 及び図 6 の駆動回路の具体的な構成例を示す回路図である。

【図 1 0】

図 9 の回路の動作を説明するためのタイミングチャート図である。

【図 1 1】

図 1 の増幅型単位画素における配線レイアウト例を示す平面図である。

【図 1 2】

図 1 の増幅型単位画素における他の配線レイアウト例を示す平面図である。

【図 1 3】

本発明に係る他の固体撮像装置の構成例を示す断面図である。

【図 1 4】

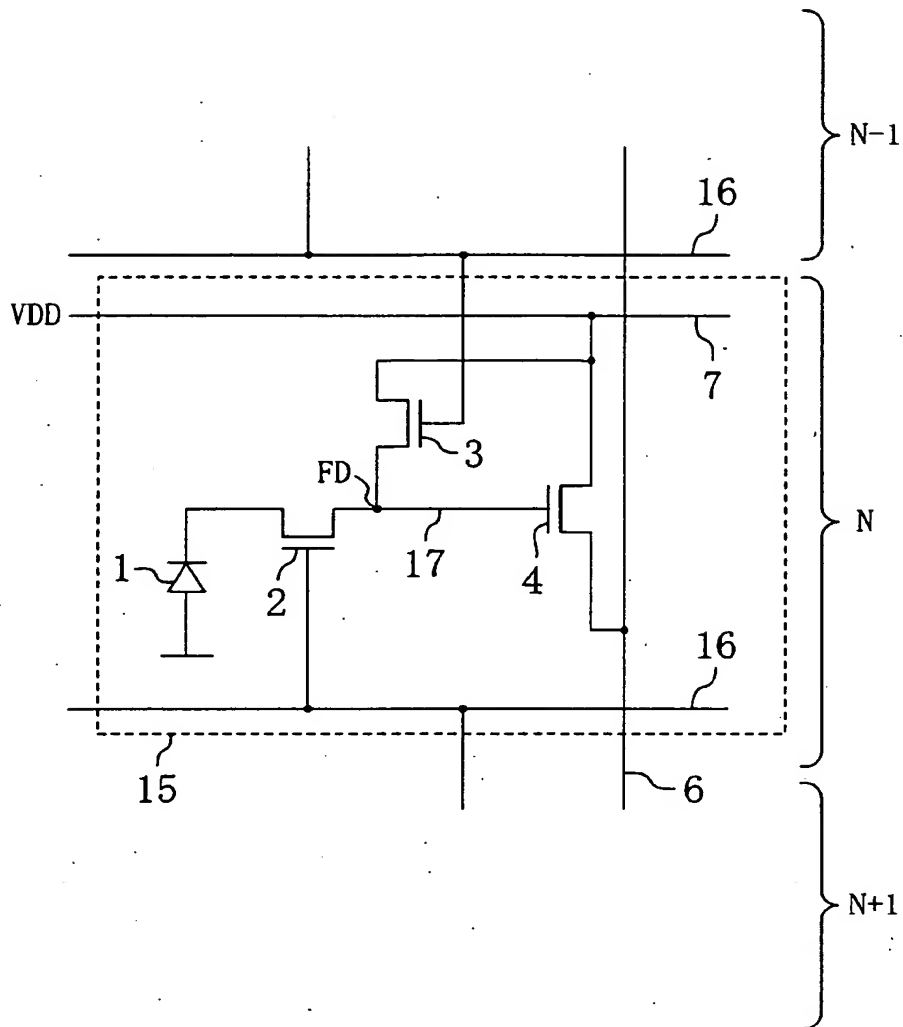
従来の固体撮像装置の一例を示すブロック図である。

【符号の説明】

- 1 フォトダイオード (PD) [光電変換領域]
- 2 読み出しトランジスタ
- 3 リセットトランジスタ
- 4 検出トランジスタ
- 6 信号線
- 7 ドレイン線 (VDD) [ドレイン領域]
  - 11 タイミング発生回路
  - 12 垂直シフトレジスタ
  - 13 水平シフトレジスタ
  - 14 感光領域
  - 15 増幅型単位画素
  - 16 読み出しとリセットを兼ねたゲート線
  - 17 フローティングディフュージョン (FD) 配線
  - 18 キャパシタ
  - 20 シフトレジスタ N 段目
  - 21 シフトレジスタ (N+1) 段目
  - 22 電荷読み出しパルス発生回路
  - 23 リセットパルス発生回路
  - 24 OR 回路
  - 25 VDD 横配線電源回路
  - 30 第 1 の電源パルス発生回路
  - 31 第 2 の電源パルス発生回路
  - 32 VDD 横配線電源 OR 回路
  - 40 ポリシリコン/アルミ配線
  - 41 VDD 共通配線 [単一のドレイン層]
- C1, C2 キャパシタ
- FD フローティングディフュージョン [蓄積領域]
- SW1, SW2 スイッチ
- Tr1, Tr2 逆流防止用トランジスタ

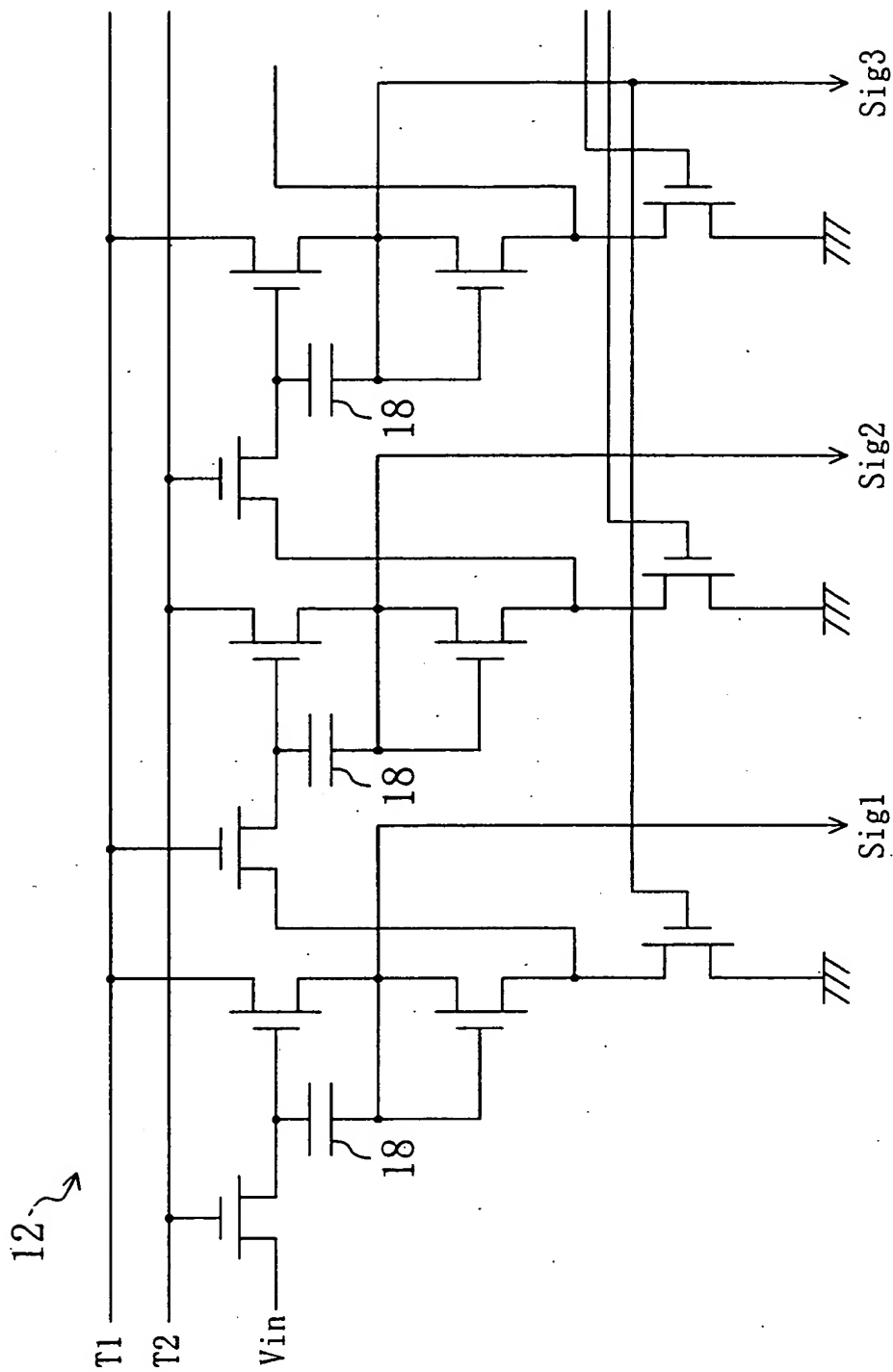
【書類名】 図面

【図 1】

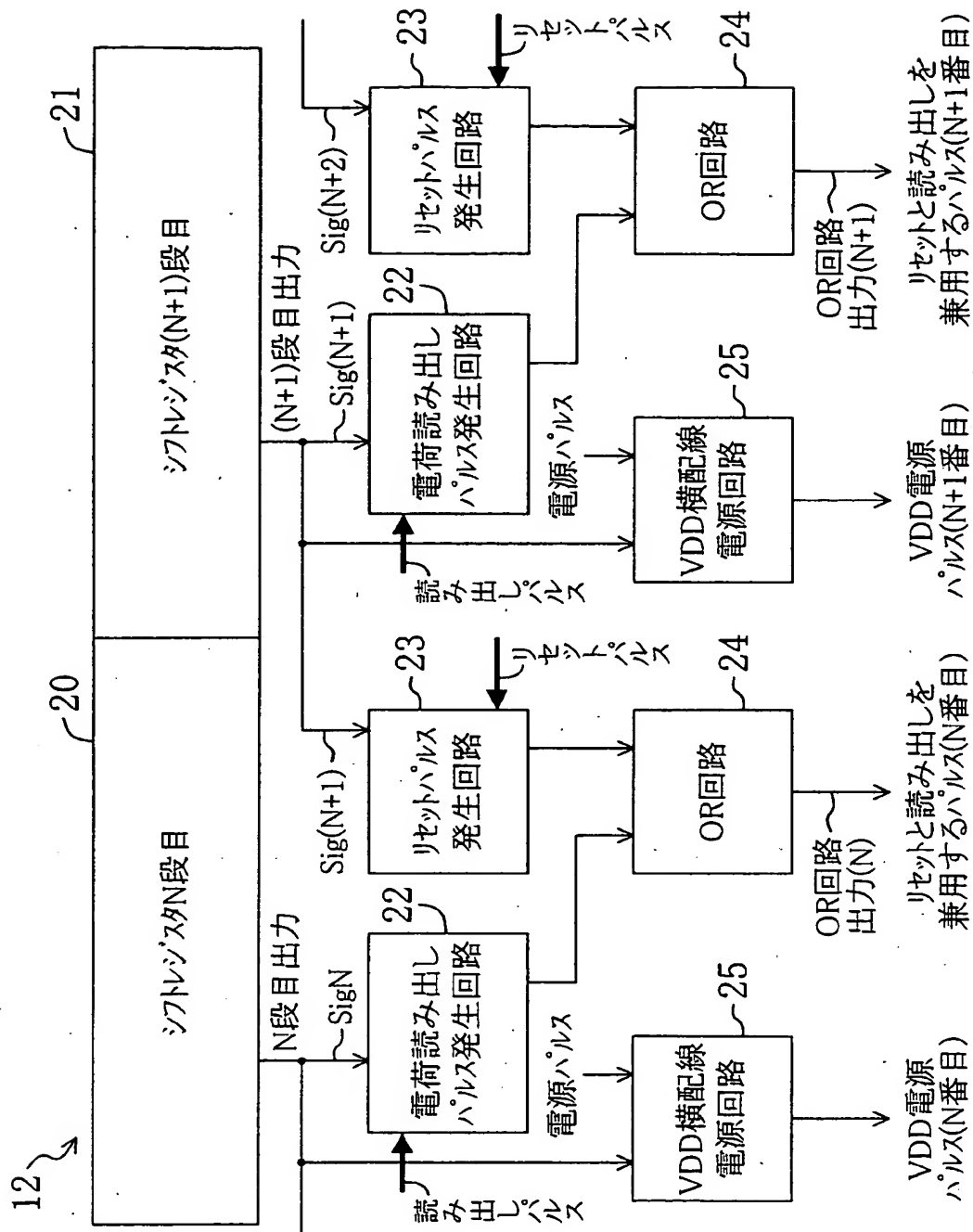




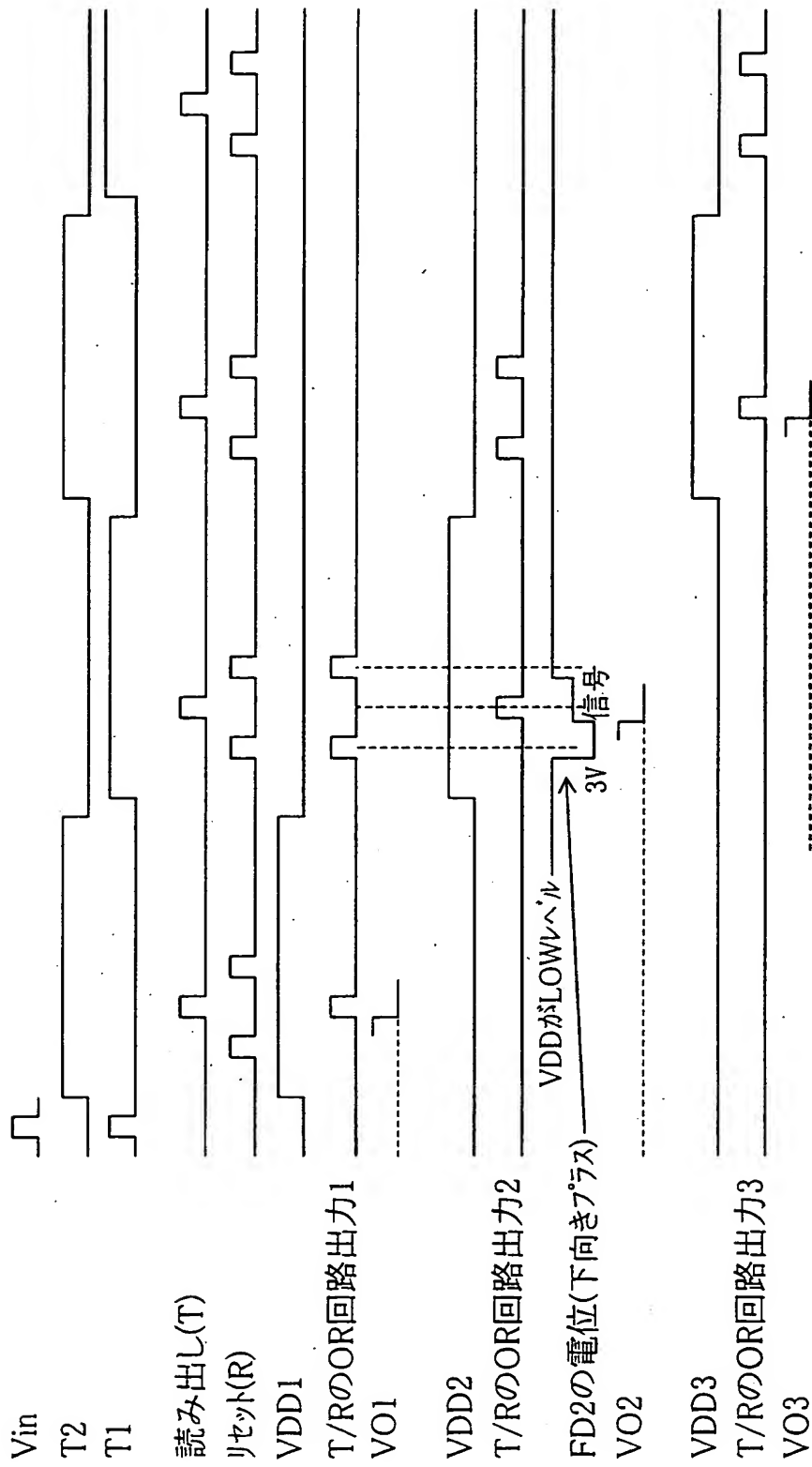
【図 2】



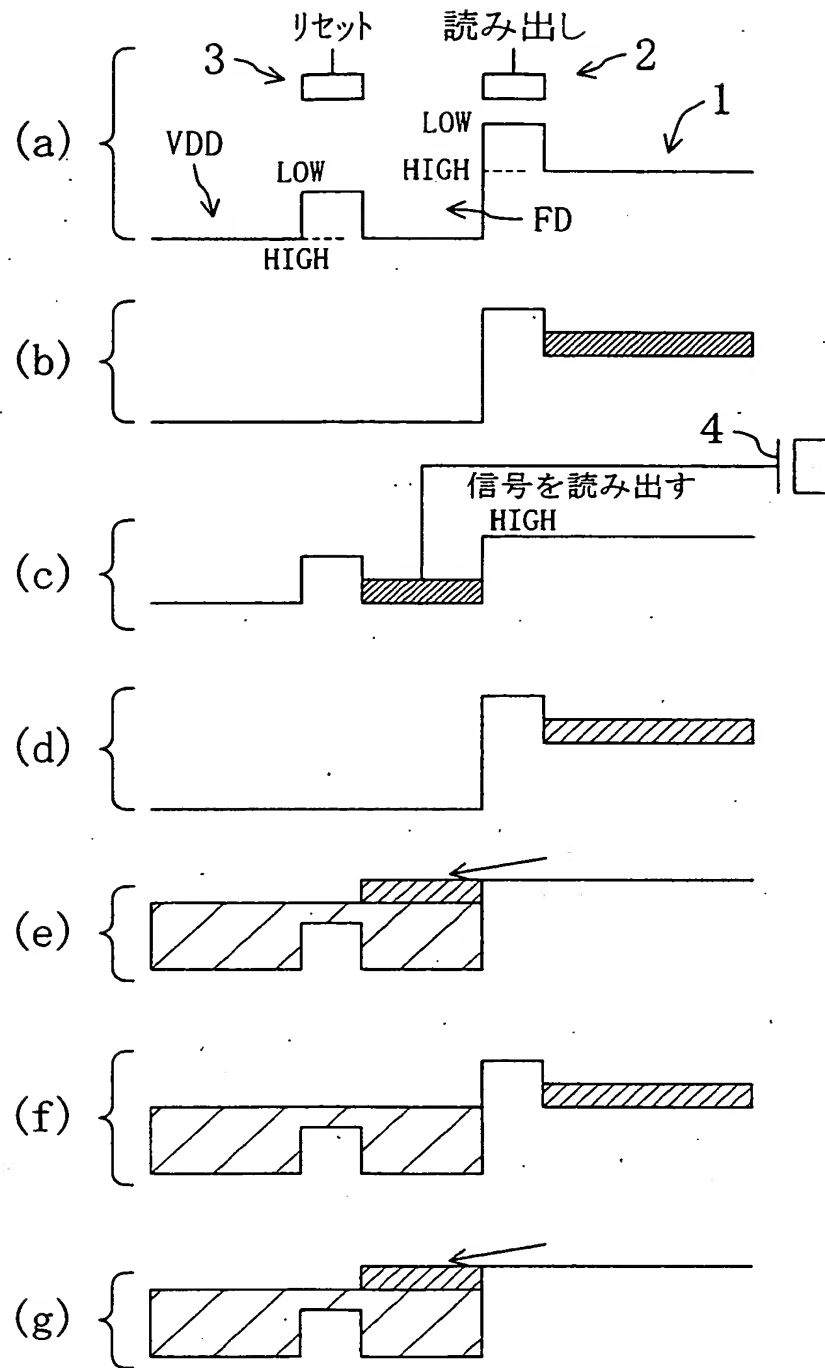
【図 3】



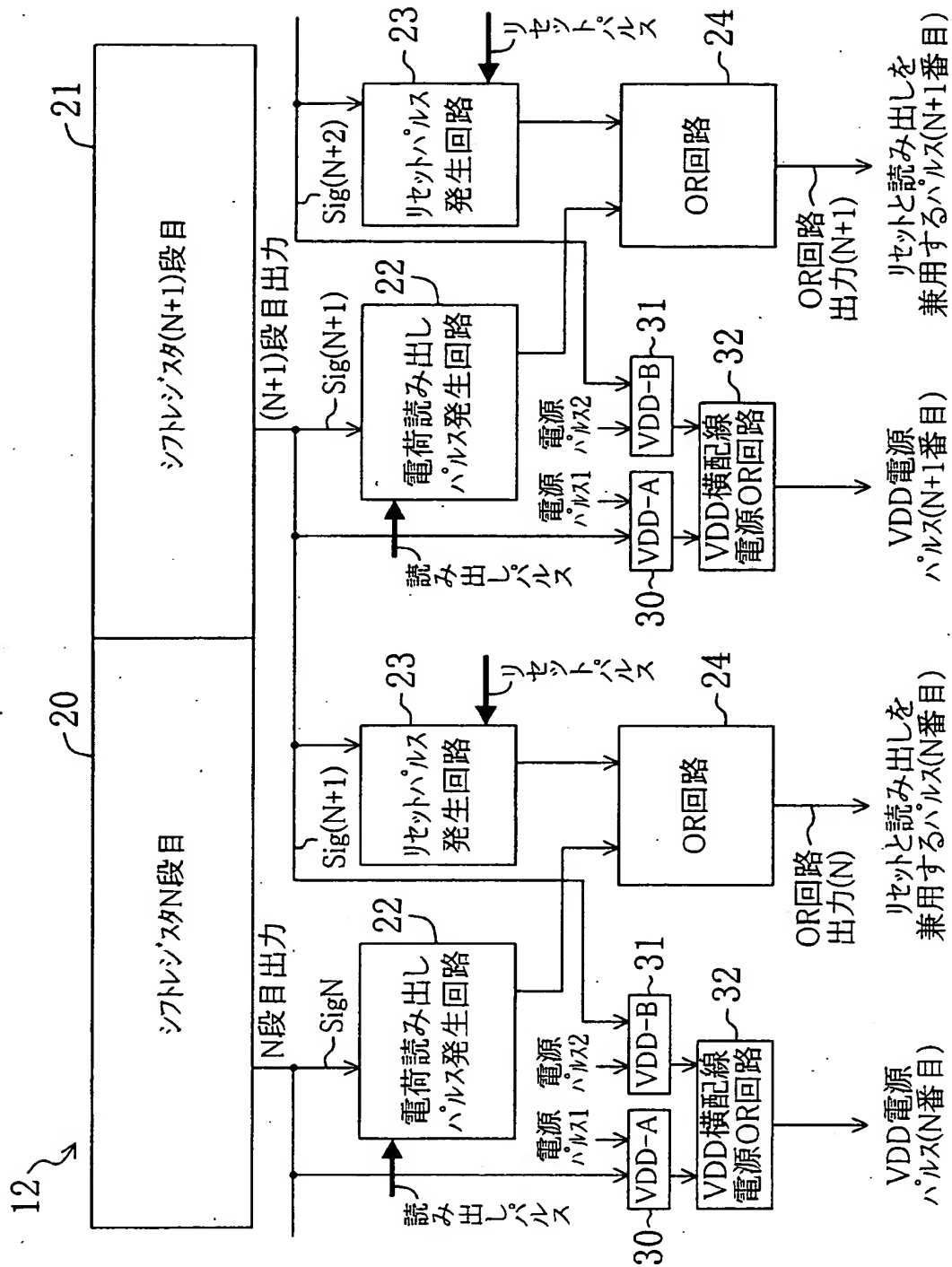
【図4】



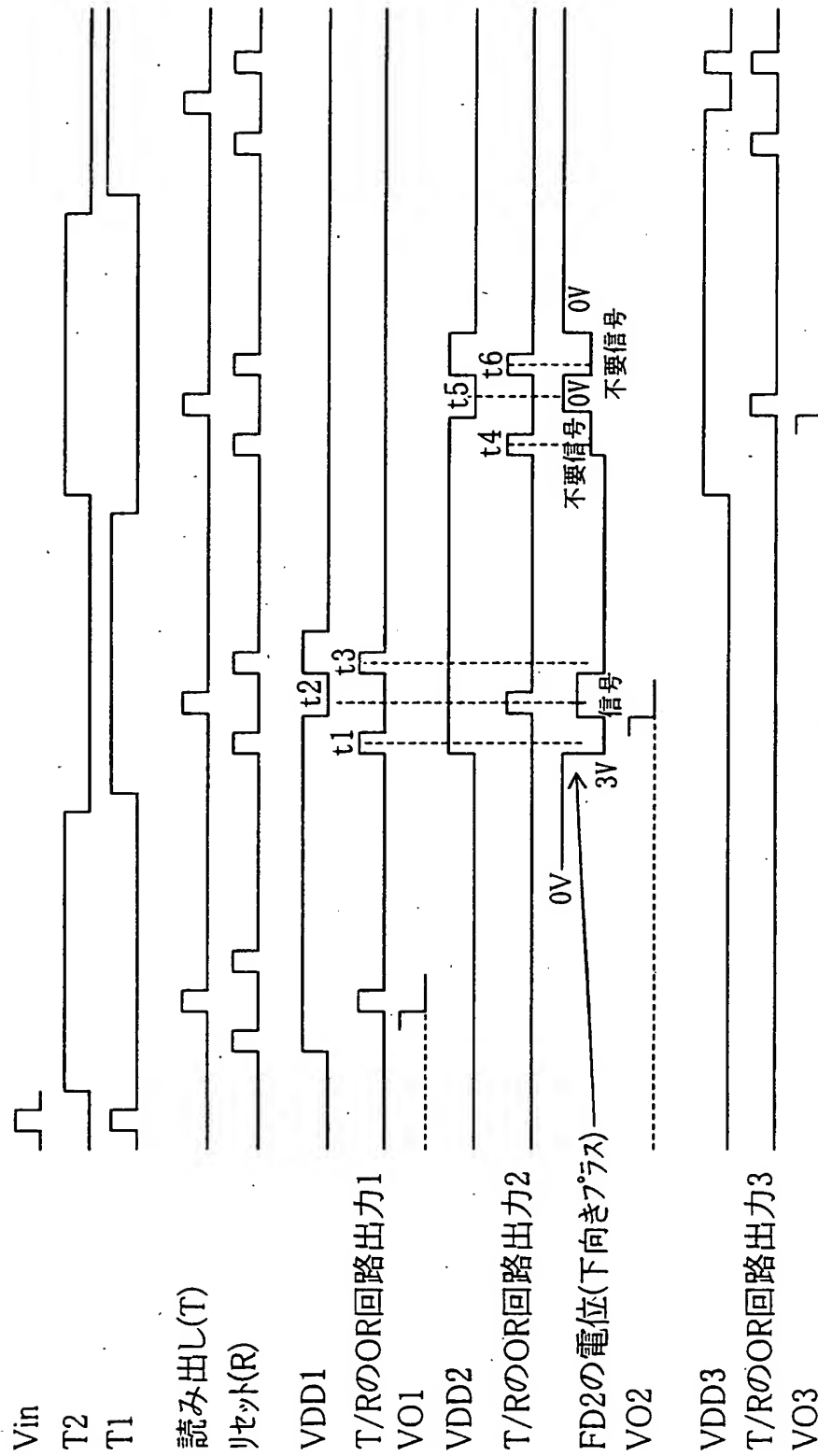
【図 5】



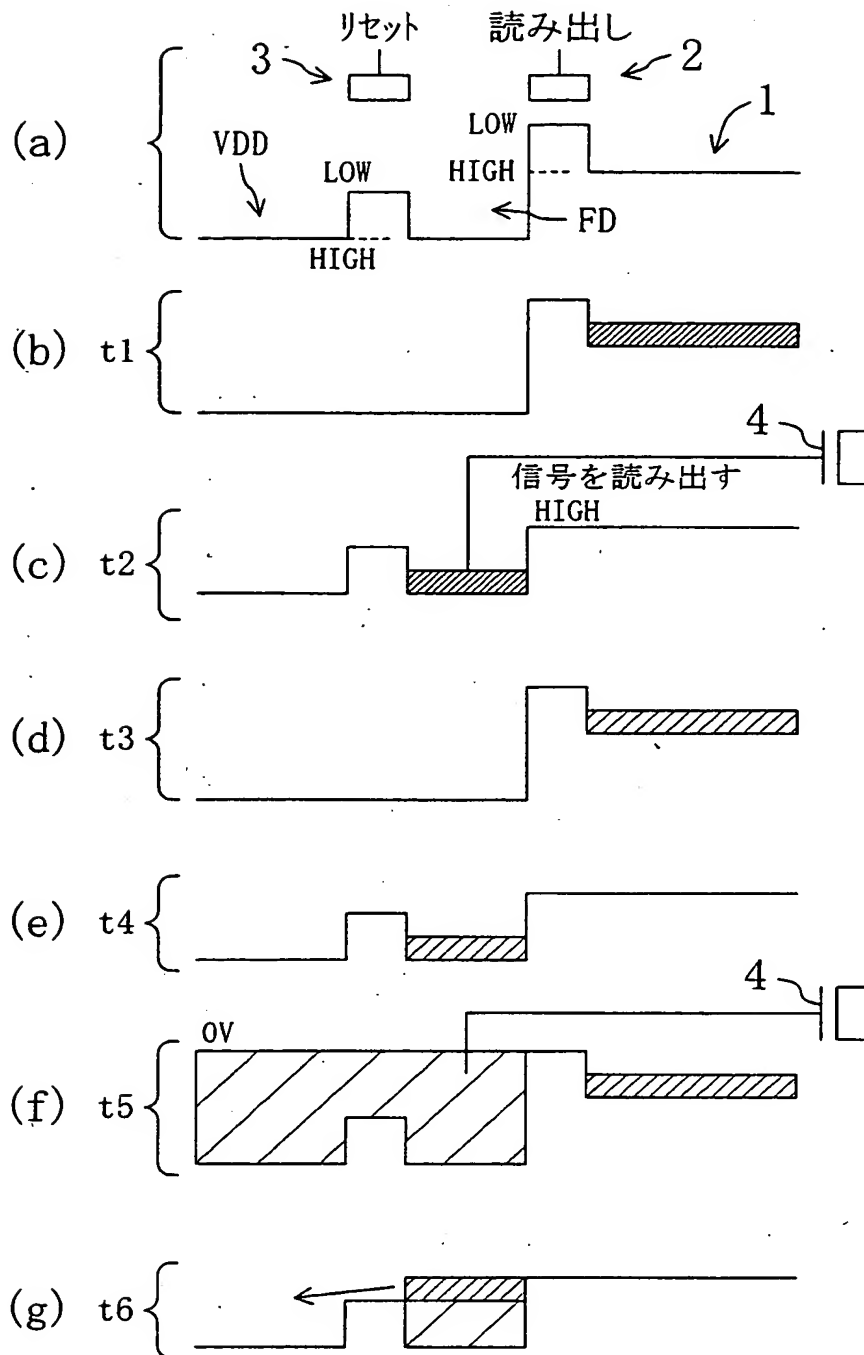
【図6】



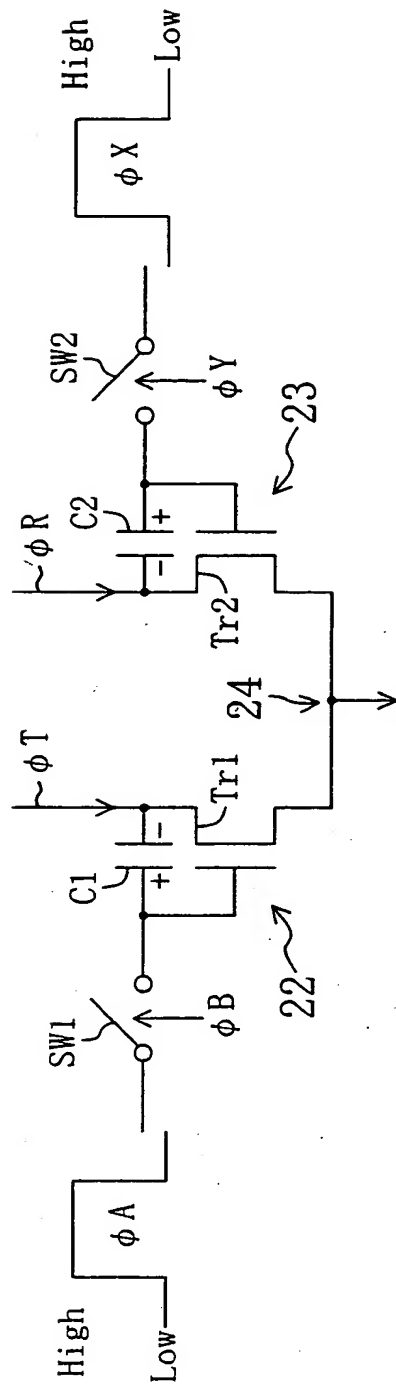
【図 7】



【図 8】

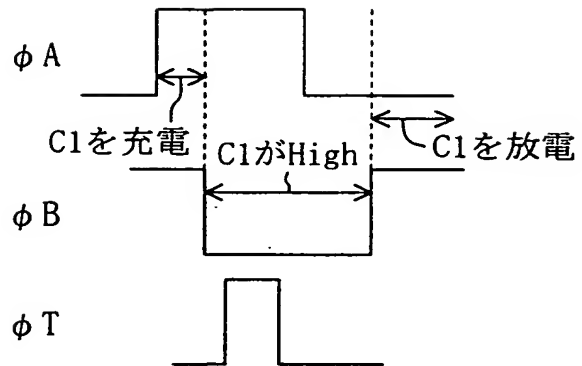


【図9】

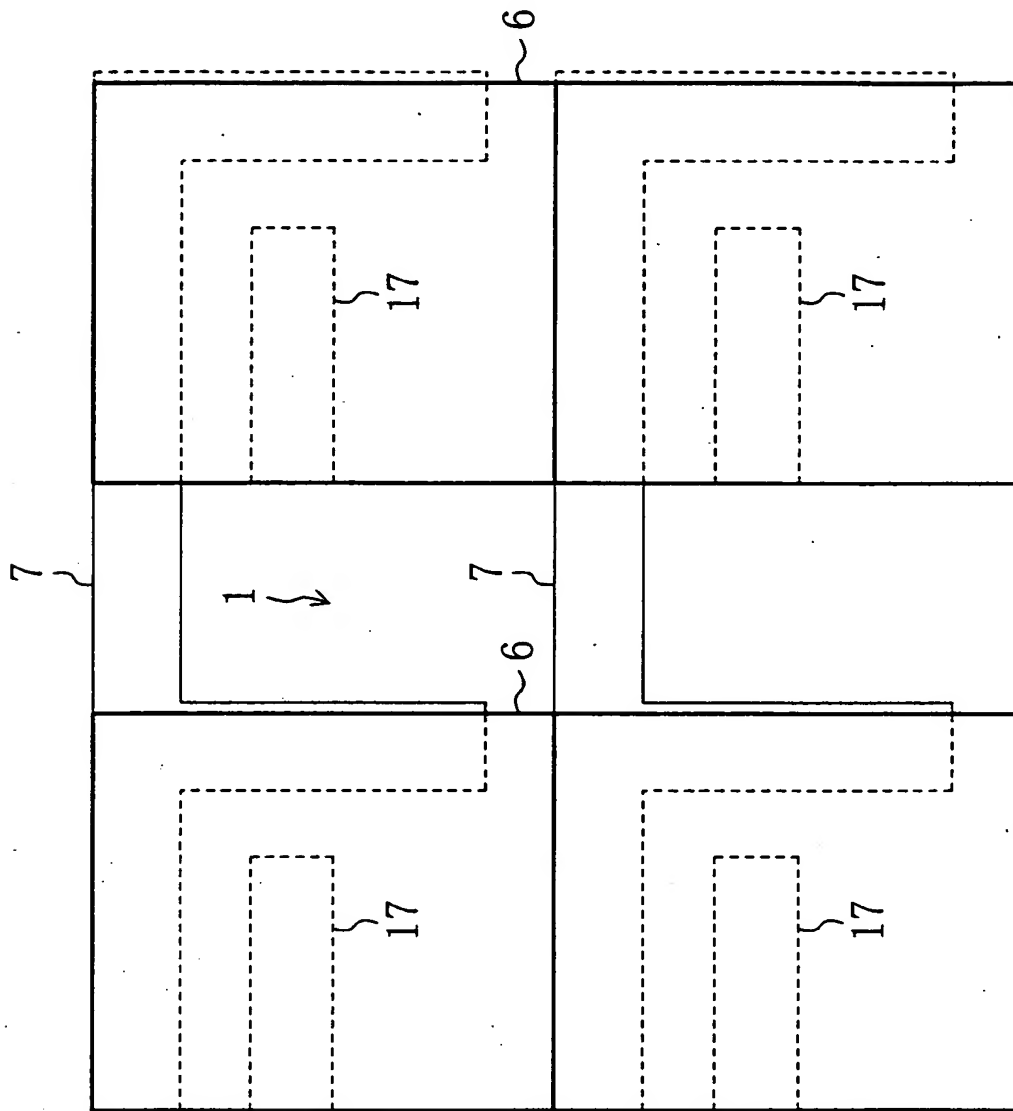




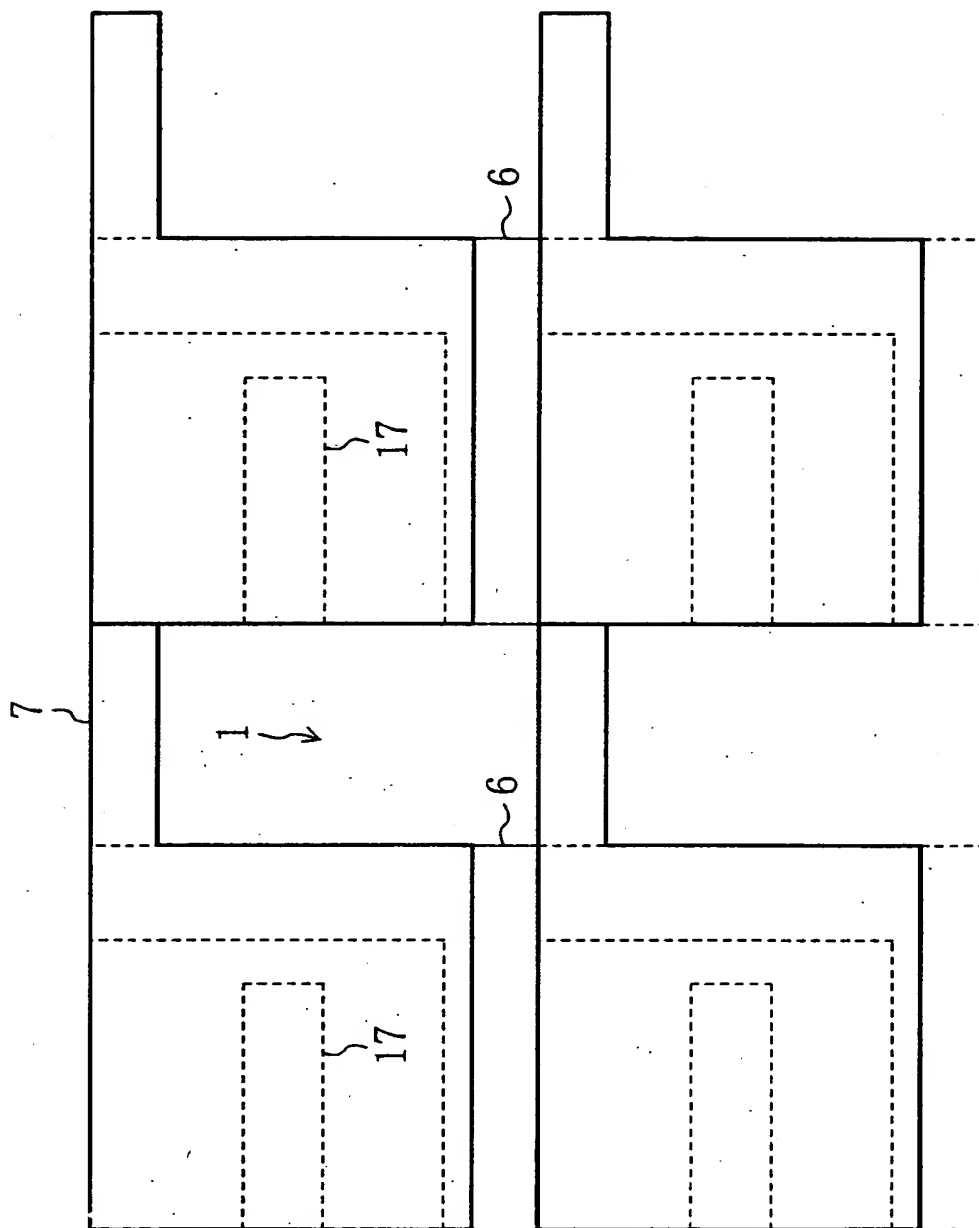
【図 1 0】



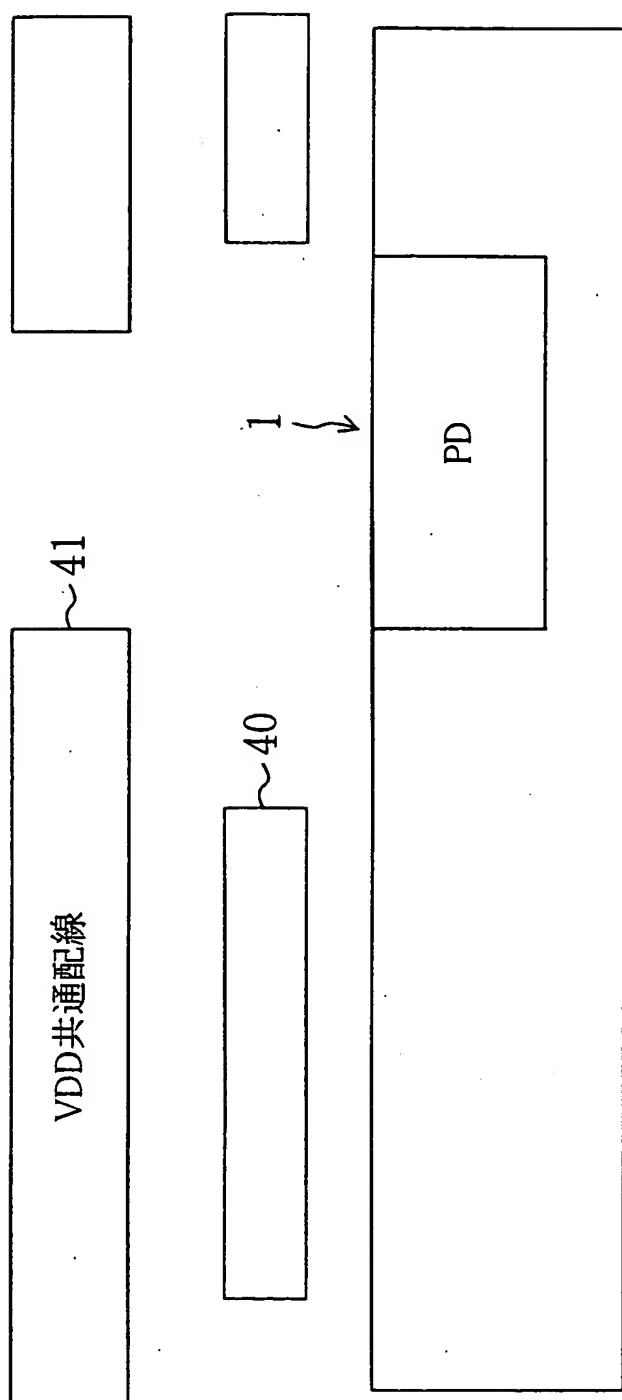
【図11】



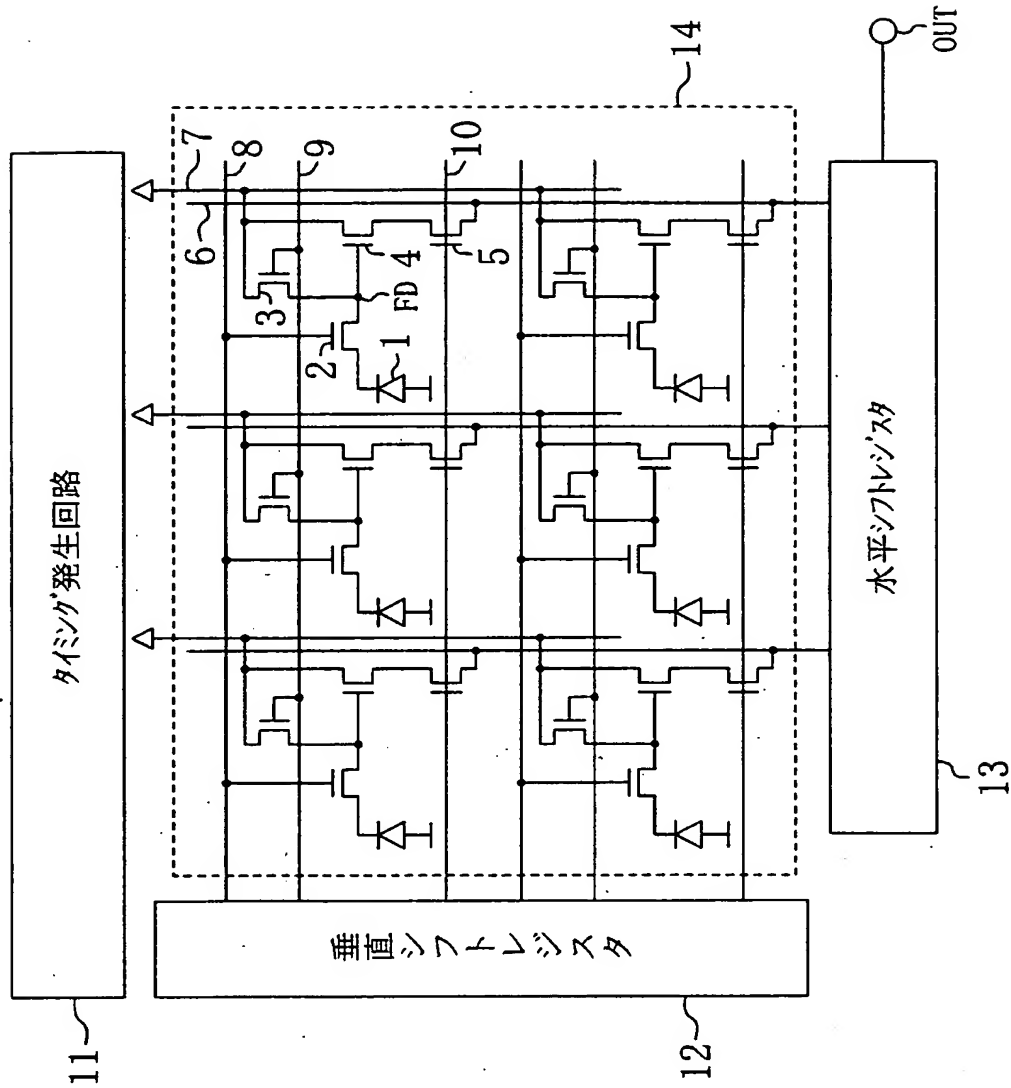
【図 12】



【図 1 3】



【図14】



【書類名】 要約書

【要約】

【課題】 画素にフローティングディフュージョン（FD）型アンプを内蔵した

・ MOS型センサの消費電力を削減する。

【解決手段】 単位画素のドレイン領域（リセットトランジスタ3を介してFD部へパルス電圧を供給するための領域）を1行毎に異なるドレイン線7に接続し、1行毎に選択的に電源パルスを供給する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社